

MANUFACTURE OF SEMICONDUCTOR ELEMENT**Publication number:** JP2000307184**Publication date:** 2000-11-02**Inventor:** KOBAYASHI TOSHIMASA; NAGANUMA KO**Applicant:** SONY CORP**Classification:**

- international: H01L21/302; H01L21/205; H01L21/28; H01L21/285;
H01L21/3065; H01L21/336; H01L29/78; H01L33/00; H01S5/00;
H01S5/028; H01S5/042; H01S5/323; H01L21/02; H01L29/66;
H01L33/00; H01S5/00; (IPC1-7): H01S5/028; H01L21/205;
H01L21/28; H01L21/3065; H01L21/336; H01L29/78; H01L33/00;
H01S5/042

- European: H01L21/285B6; H01L21/336P; H01L33/00B4; H01L33/00G3B2

Application number: JP19990115451 19990422**Priority number(s):** JP19990115451 19990422**Also published as:**

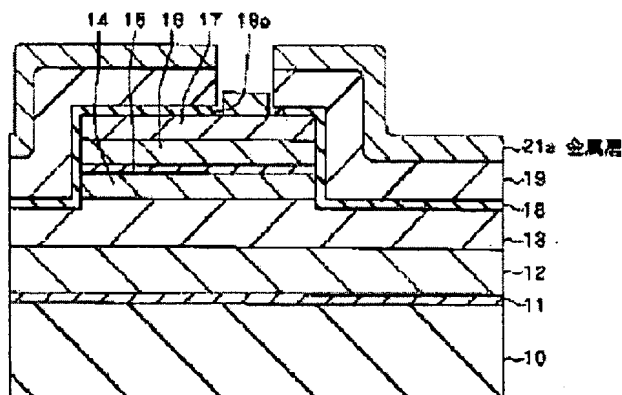
EP1047120 (A1)

Report a data error here

Abstract of JP2000307184

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor element by which adhesion between a semiconductor layer and an electrode can be improved and, at the same time, the contact resistance between them can be reduced.

SOLUTION: After an insulating layer 18 is formed by vapor deposition, etc., and a resist film 19 is formed on the whole surface of the layer 18, an opening is formed through the resist film 19 correspondingly to the pattern of a p-side electrode. Since the residue of the resist tends to adhere to the opening at the time of forming the opening, the residue is removed by performing a light ashing treatment by using oxygen while a p-side contact layer 17 is protected by means of the insulating layer 18. Thereafter, the opening 18a of the insulating layer 18 and the p-side electrode are formed in a self-aligning way by using the resist film 19 as a mask. Therefore, the damage to the surface of the contact layer 17 can be reduced and the p-side electrode can be formed on the clean surface of the layer 17.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-307184

(P2000-307184A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 S 5/028		H 0 1 S 3/18	6 1 8 4 M 1 0 4
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 0 4
21/28		21/28	L 5 F 0 4 0
21/3065		33/00	C 5 F 0 4 1
29/78			E 5 F 0 4 5
審査請求 未請求 請求項の数11 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願平11-115451

(22) 出願日 平成11年4月22日 (1999.4.22)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小林 俊雅

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 長沼 香

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100098785

弁理士 藤島 洋一郎

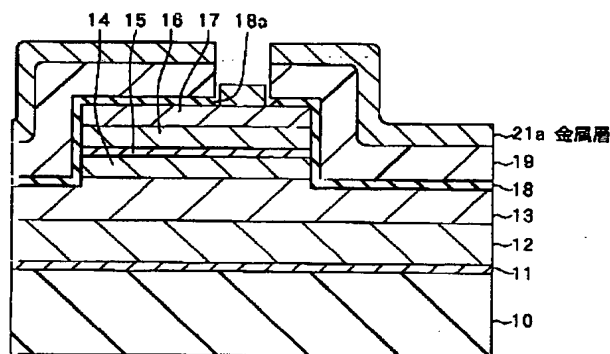
最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 半導体層と電極との密着性を向上させることができると共に、これらの間の接触抵抗の低減化を図ることが可能な半導体素子の製造方法を提供する。

【解決手段】 蒸着法などにより絶縁層18を形成し、絶縁層18の全面にレジスト膜19を形成したのち、レジスト膜19にp側電極のパターンに応じた開口19aを形成する。このとき、開口19aにレジスト残渣が付着することがある。そのため、絶縁層18によりp側コンタクト層17を保護しつつ、酸素を用いてライトアッシング処理を行い、残渣を除去する。そののち、レジスト膜19をマスクとして、絶縁層18の開口18aおよびp側電極を自己整合的に形成する。p側コンタクト層17の表面に対するダメージを抑制することができ、また、p側コンタクト層17の清浄な表面上にp側電極を形成することができる。



【特許請求の範囲】

【請求項1】 半導体層に接触した電極を有する半導体素子の製造方法であって、
 少なくとも前記半導体層の上面に、耐エッチング材料よりなる保護層を形成する工程と、
 前記保護層の上面にマスク層を形成した後、このマスク層に前記電極のパターンに応じた開口を形成する工程と、
 前記保護層により前記半導体層を保護しつつ、前記マスク層への開口形成時に生じ、開口の内部に付着している残渣を除去する工程と、
 前記マスク層を用いて、前記保護層のうちの前記開口に対応する領域を選択的に除去し、前記半導体層を選択的に露出させる工程と、
 前記半導体層の露出面上に、前記マスク層を用いて電極を形成する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項2】 酸素を用いたアッシング処理により残渣を除去することを特徴とする請求項1記載の半導体素子の製造方法。

【請求項3】 前記保護層を、絶縁性材料により形成することを特徴とする請求項1記載の半導体素子の製造方法。

【請求項4】 前記保護層を、二酸化ケイ素または窒化ケイ素により形成することを特徴とする請求項3記載の半導体素子の製造方法。

【請求項5】 前記保護層を、アルミニウムにより形成することを特徴とする請求項1記載の半導体素子の製造方法。

【請求項6】 前記保護層を形成する工程において、前記半導体層の上面および側面を覆うように保護層を形成することを特徴とする請求項3記載の半導体素子の製造方法。

【請求項7】 前記保護層を、蒸着法、電子サイクロトロン共鳴スパッタ法または電子サイクロトロン共鳴化学気相成長法により形成することを特徴とする請求項1記載の半導体素子の製造方法。

【請求項8】 前記半導体層は、ガリウム(Ga)、アルミニウム(Al)、インジウム(In)およびホウ素(B)からなる群のうちの少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体よりなることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項9】 前記電極を、ニッケル(Ni)および白金(Pt)よりなる群のうちの少なくとも1種を含む金属により形成することを特徴とする請求項1記載の半導体素子の製造方法。

【請求項10】 前記半導体層は、少なくとも第1導電型クラッド層、活性層および第2導電型クラッド層が積層された複数の半導体層よりなると共に、前記電極を形

成する工程において、これら第1導電型クラッド層、活性層および第2導電型クラッド層と前記電極とを電気的に接続させることにより、半導体発光素子を作製することを特徴とする請求項1記載の半導体素子の製造方法。

【請求項11】 前記電極が、トランジスタのソース電極またはドレイン電極であることを特徴とする請求項1記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、III族ナイトライド化合物半導体よりなる半導体層を有する半導体発光素子などの半導体素子の製造方法に係り、特に、半導体層に接触した電極を有する半導体素子の製造方法に関する。

【0002】

【従来の技術】GaN, AlGaInN, GaInNまたはAlGaInNなどのIII族ナイトライド化合物半導体は、AlGaInAs系やAlGaInP系のIII-V族化合物半導体に比べてバンドギャップE_gが大きくかつ直接遷移の半導体材料であるという特徴を有している。よって、これらのIII族ナイトライド化合物半導体は、紫外線から緑色にあたる短波長の光を発する半導体レーザ(LD; Laser Diode)や、紫外線から赤色までの広い範囲の波長の光を発する発光ダイオード(LED; Light Emitting Diode)などの半導体発光素子を構成する材料として注目されており、高密度光ディスクやフルカラー用表示素子などへの応用が考えられている。

【0003】また、これらのIII族ナイトライド化合物半導体は、GaNの高電界における飽和速度が大きいということや、MIS(Metal-Insulator-Semiconductor)構造における絶縁層に窒化アルミニウム(AlN)を用いることができるので、半導体層と絶縁層の形成を連続して行うことができるという特徴も有している。よって、これらのIII族ナイトライド化合物半導体は、高出力の高周波電子デバイスを構成する材料としても期待されている。

【0004】ところで、上述したような種々の素子においては、安定した動作を確保する上でオーミック電極に関する技術がきわめて重要となる。従来、半導体レーザや発光ダイオードでは、III族ナイトライド化合物半導体よりなる半導体層に対するp側のオーミック電極としては、例えば、ニッケル(Ni)と金(Au)、あるいはニッケルと白金(Pt)と金とを半導体層側から順次積層したものが用いられてきた。また、n側のオーミック電極としては、例えば、チタン(Ti)とアルミニウム(Al)とを半導体層側から順次積層したものが用いられてきた。

【0005】しかしながら、特にp側の電極においては、このような構成のオーミック電極を用いると形成条

件などによっては密着性があまり良くない場合がある。そのため、素子の製造工程の途中やパッケージへ実装する際に剥離したり、半導体層との密着の不安定さから接触抵抗が大きくなるなど信頼性に問題があった。半導体レーザを作製する場合には、更に、反射鏡を形成するためにウェハを劈開する際にも、同様の問題が生じていた。

【0006】これらの問題を解決する方法としては、半導体層またはオーミック電極の構成材料を変更したり、電極を合金化処理する際の熱処理条件を変更したりすることにより、半導体層とオーミック電極との密着性を改善する方法が考えられる。ところが、p側のオーミック電極材料にチタンなどの密着性に優れた材料を用いると、従来の構造と比べてp側電極と半導体層との間の接触抵抗が1桁以上大きくなり、素子の性能や信頼性が低下してしまっていた。同様に、電極を合金化処理する際の熱処理条件を変える方法においても、密着性を向上させようとするとp側電極と半導体層との間の接触抵抗が大きくなってしまっていた。

【0007】そこで、これらに代わる他の方法としては、電極のパターンニングを行うリソグラフィ工程において、半導体層の表面処理の条件を最適化して、半導体層とp側電極との間の残渣を完全に除去することにより密着性を向上させる方法が考えられる。

【0008】

【発明が解決しようとする課題】しかしながら、このように半導体層とオーミック電極との密着性を改善するために半導体層の表面処理を行う場合や、半導体層の表面にCVD (Chemical Vapor Deposition ; 化学的気相蒸着) 法あるいはスパッタ法により膜形成を行う際には、半導体層の表面がダメージを受け、半導体層表面のキャリア濃度が減少してしまい、半導体層とオーミック電極との間の接触抵抗 R_c が大きくなってしまいう問題があった。

【0009】この接触抵抗 R_c は、一般にキャリア濃度 N_a と例えば $R_c \propto N_a^{-2}$ 程度の相関を有している。p型のIII族ナイトライド化合物半導体 (例えば、p型GaN) は、p型GaAsなどに比べてキャリア濃度を高くすることが困難であるため、特にIII族ナイトライド化合物半導体よりなる半導体層とp側電極との間の接触抵抗は、大きくなってしまいう傾向にあった。なお、GaAs系の半導体層を用いた場合には、キャリア濃度 N_a が $2 \times 10^{19} / \text{cm}^3$ 程度であり、 $10^{-5} \Omega \text{cm}$ のオーダーの接触抵抗 R_c が容易に得られるが、GaN系の半導体層を用いた場合には、キャリア濃度 N_a が $2 \times 10^{18} / \text{cm}^3$ 程度であり、接触抵抗 R_c が $10^{-3} \Omega \text{cm}$ のオーダー程度に大きいことが多かった。このような接触抵抗 R_c の増大は、例えば半導体レーザのp側電極においては、素子の動作電圧を0.1~数V程度上昇させる可能性があり、素子の信頼性の低下につながってし

まっていた。また、p型GaAs層に対してアッシングなどの表面処理を施した場合には、実質的に素子特性に影響を及ぼさない場合であっても、p型III族ナイトライド化合物半導体層に同様の表面処理を施した場合には、表面がダメージを受け、接触抵抗 R_c が大きくなる結果、素子の信頼性が大きく損なわれるおそれがあった。

【0010】更に、上述した問題の他に、半導体レーザなどにおいて、電極が電氣的に導通している領域よりも広い領域にわたって半導体層の表面と接している場合には、この電氣的導通領域以外の接触領域に寄生容量が発生し、素子の高周波特性を損ねてしまうという問題もあった。

【0011】本発明はかかる問題点に鑑みてなされたもので、その第1の目的は、半導体層と電極との密着性を向上させることができると共に、これらの間の接触抵抗の低減化を図ることが可能な半導体素子の製造方法を提供することにある。

【0012】また、本発明の第2の目的は、寄生容量を低減させ、素子の高周波特性を向上させることができる半導体素子の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明による半導体素子の製造方法は、半導体層に接触した電極を有する半導体素子の製造方法であって、少なくとも半導体層の上面に、耐エッチング材料よりなる保護層を形成する工程と、保護層の上面にマスク層を形成した後、このマスク層に電極のパターンに応じた開口を形成する工程と、保護層により半導体層を保護しつつ、マスク層への開口形成時に生じ、開口の内部に付着している残渣を除去する工程と、マスク層を用いて、保護層のうちの開口に対応する領域を選択的に除去し、半導体層を選択的に露出させる工程と、半導体層の露出面上に、マスク層を用いて電極を形成する工程とを含むようにしたものである。

【0014】本発明による半導体素子の製造方法では、半導体層の上面に保護層およびマスク層が順次形成され、マスク層に開口が形成されたのち、半導体層が保護層に保護された状態において、マスク層の開口に付着している残渣が除去される。そののち、マスク層を用いて保護層が選択的に除去されることにより、半導体層が選択的に露出し、この半導体層の露出面にマスク層を用いて電極が形成される。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】(第1の実施の形態) まず、図1ないし図8を参照して、本発明の第1の実施の形態に係る半導体素子の製造方法としての利得導波型半導体レーザの製造方法について説明する。

【0017】本実施の形態では、まず、図1に示したよ

うに、例えばサファイアよりなる基板10を用意し、基板10上に、例えば、MOCVD (Metal Organic Chemical Vapor Deposition ; 有機金属化学気相蒸着) 法によりIII族ナイトライド化合物半導体よりなるバッファ層11を成長させたのち、このバッファ層11を核として、下地層12、n側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17 (以下、これらの層をまとめて半導体層ともいう。) を順次成長させる。ここで、バッファ層11、下地層12、n側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17が、本発明の「半導体層」の一具体例に対応している。また、n型クラッド層14が本発明の「第1導電型クラッド層」の一具体例に対応しており、p型クラッド層16が本発明の「第2導電型クラッド層」の一具体例に対応している。

【0018】具体的には、例えば、550℃で非晶質に近い結晶構造を有するGa_{0.9}N_{0.1}あるいはAl_{0.1}Ga_{0.9}N混晶よりなるバッファ層11を30nm成長させたのち、例えば1000℃で不純物を添加しないGa_{0.9}N_{0.1}よりなる下地層12を1.5μm成長させる。続いて、例えば、n型不純物としてケイ素(Si)を添加したn型Ga_{0.9}N_{0.1}よりなるn側コンタクト層13 (厚さ4.5μm)、不純物としてケイ素を添加したn型Al_{0.1}Ga_{0.9}N混晶よりなるn型クラッド層14 (厚さ1.0μm)、Ga_{0.9}In_{0.1}N混晶およびGa_{0.9}N_{0.1}よりなる多重量子井戸構造を有する活性層 (厚さ0.05μm)、p型不純物としてマグネシウム(Mg)を添加したp型Al_{0.1}Ga_{0.9}N混晶よりなるp型クラッド層16 (厚さ0.8μm)、不純物としてマグネシウムを添加したp型Ga_{0.9}N_{0.1}よりなるp側コンタクト層17 (厚さ0.1μm) を順次成長させる。

【0019】その際、例えば、アルミニウム(Al)の原料ガスとしてはトリメチルアルミニウムガス((CH₃)₃Al)、ガリウム(Ga)の原料ガスとしてはトリメチルガリウムガス((CH₃)₃Ga)またはトリエチルガリウムガス((C₂H₅)₃Ga)、インジウム(In)の原料ガスとしてはトリメチルインジウムガス((CH₃)₃In)、窒素(N)の原料ガスとしてはアンモニアガス(NH₃)、ケイ素の原料ガスとしてはモノシランガス(SiH₄)、マグネシウムの原料ガスとしてはビス=メチルシクロペンタジエニルマグネシウムガス(MeCp₂Mg)またはビス=シクロペンタジエニルマグネシウムガス(Cp₂Mg)をそれぞれ用いる。

【0020】次に、p側コンタクト層17、p型クラッド層16、活性層15、n型クラッド層14およびn側コンタクト層13の一部を選択的にエッチングしてn側コンタクト層13を表面に露出させる。なお、この場合のエッチング量は、例えば2μmである。

【0021】次に、半導体層の露出面全体(すなわち、

n側コンタクト層13およびp側コンタクト層17の表面、並びにn側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17の側面)に、例えば蒸着法、ECRCVD (Electron Cyclotron Resonance Chemical Vapor Deposition ; 電子サイクロトロン共鳴化学気相蒸着) 法あるいはECRSパッタ法により、耐エッチング性を有する絶縁材料、例えば二酸化ケイ素(SiO₂)あるいは四窒化三ケイ素(Si₃N₄)よりなる絶縁層18を形成する。この絶縁層18が、本発明の「保護層」の一具体例に対応している。ここでは、成膜中にプラズマによる半導体表面層へのダメージをなくす、あるいは少なくすることができ、蒸着法、ECRCVD法あるいはECRSパッタ法を用いて絶縁層18を形成するので、熱CVD法、PE (Plasma Enhanced) CVD法あるいは通常のスパッタ法などを用いて形成する場合とは異なり、絶縁層18と接する領域がダメージを受け難く、ダメージによるp側コンタクト層17やp型クラッド層16のキャリア濃度の低下を防止することができる。

【0022】次に、図2に示したように、絶縁層18の全面に、例えばスピンコート法により厚さ1μmのレジスト膜19を形成する。ここで、レジスト膜19が、本発明の「マスク層」の一具体例に対応している。

【0023】次に、図3に示したように、例えばフォトリソグラフィ技術を用いて、レジスト膜19に、後述するp側電極21 (図7参照)のパターンに応じた開口19aを形成する。具体的には、例えば、高圧水銀ランプを用いて、1mW/cm²の出力で10秒間程度レジスト膜19に紫外線を照射したのち、無機リン酸塩系の現像液を用いて20℃で30秒間程度現像を行う。このとき、レジストの現像部分は完全には除去されず、開口19aの内部に残渣20が付着してしまうことがある。

【0024】そこで、現像後に、例えば、酸素プラズマを用いて、室温で3分間ライトアッシング処理を行う。これにより、図4に示したように、レジスト膜19の形状はほとんど変化することなく、残渣20が除去される。なお、ここで「ライトアッシング処理」とは、付着している少量の残渣20を弱い条件 (例えば、酸素プラズマのエネルギーや設定温度を低くする、レジストのエッチング速度が0.05μm/分以下であるような条件) でアッシングすることを意味する。ここでは、アッシング処理を行う際に、絶縁層18により半導体層が保護されているので、半導体層の表面にダメージを与えることがなく、p側コンタクト層17などのキャリア濃度の低下が防止される。

【0025】次に、図5に示したように、レジスト膜19をマスクとして、例えばフッ酸系のエッチング液を用いて絶縁層18をp側コンタクト層17に至るまでエッチングし、絶縁層18のうちの開口19aに対応する領域に、開口18aを形成する。ここでは、開口19aに

付着した残渣20が完全に除去されているので、レジスト膜19の残渣がエッチング液中を移動して、p側コンタクト層17の表面に再付着するおそれがない。

【0026】次に、図6に示したように、全面（すなわち絶縁層18が選択的に除去されたp側コンタクト層17の上およびレジスト膜19の上）に、例えば、蒸着法によりニッケル膜あるいは白金膜を成膜したのち、適宜の金属（例えば、金）膜を成膜し、金属層21aを形成する。ここで、金属層21aの構成材料にニッケルあるいは白金を用いる理由は、これらがI I I属ナイトライド化合物との良好なオーミック接触を得ることができるためである。なお、このとき、p側コンタクト層17の露出面は、完全に金属層21aにより覆われるか、あるいは図に示したように、絶縁層18の開口18aの壁面近傍領域において若干（例えば幅1 μ m以下）露出する。

【0027】次に、図7に示したように、例えばアセトンなどの有機溶剤を用いてレジスト膜19を除去する。このとき、同時に、金属層21aのレジスト膜19と接している部分が選択的に除去され（リフトオフ法）、金属層21aのうちのp側コンタクト層17と接している部分のみが残存する状態となる。続いて、残存する金属層21aに加熱処理を施すことによりそれを合金化し、p側電極21とする。更に、半導体レーザの動作時に活性層15の一部のみに光を閉じ込めるために、p側電極21をストライプ状（図7においては紙面に対して垂直方向に延長されたストライプ状）となるようにパターンニングする。

【0028】次に、図8に示したように、全面（すなわち絶縁層18およびp側電極21の上）にレジスト膜（図示せず）を塗布し、開口18aを形成する際と同様にして絶縁層18のn側コンタクト層13上の領域に開口18bを形成する。続いて、全面（すなわち絶縁層18が選択的に除去されたn側コンタクト層13の上および図示しないレジスト膜の上）に、例えば、チタン、アルミニウム、白金および金を順次蒸着し、p側電極21を形成する場合と同様にして、n側電極22を形成する。

【0029】次に、p側電極21およびその周囲の絶縁層18の上に、例えば、チタンおよび金を選択的に順次蒸着してコンタクト用電極23を形成する。また、同時に、n側電極22およびその周囲の絶縁層18の上に、コンタクト用電極24を形成する。これらのコンタクト用電極23、24は、p側電極21およびn側電極22の密着性をそれぞれ補強するものである。なお、コンタクト用電極23、24は、完成された半導体レーザをパッケージに実装する際の実装用電極（すなわち、ボンディングパッドや、パッケージへのダイボンディング用電極）としても利用することができる。

【0030】最後に、基板10をp側電極21の長さ方

向（共振器長方向）と垂直に所定の幅で劈開し、その劈開面を反射鏡として、利得導波型半導体レーザを完成させる。なお、必要に応じて、劈開面に反射率を制御するためのコーティングを施すようにしてもよい。

【0031】このようにして製造された利得導波型半導体レーザでは、コンタクト用電極23、24を介してp側電極21とn側電極22との間に所定の電圧が印加されると、活性層15に電流が注入される。なお、絶縁層18によって電流は狭窄される。これにより、活性層15では、電子-正孔再結合による発光が起こり、図示しない反射鏡を介して外部に光が取り出される。ここでは、製造時にp側コンタクト層17およびn側コンタクト層13の表面がダメージを受けていないので、p側コンタクト層17とp側電極21、およびn側コンタクト層13とn側電極22とはそれぞれ良好にオーミック接触しており、安定な接触抵抗値を得ることができる。従って、半導体レーザは安定した電圧で動作する。

【0032】このように本実施の形態では、絶縁層18により半導体層が保護された状態で、レジスト膜19の開口19aに付着した残渣20を除去するようにしたので、その際、半導体層の表面へのダメージの付与が抑制される。従って、p側コンタクト層17やp型クラッド層16のキャリア濃度の低下を防止することができ、p側電極21とp側コンタクト層17との間において、安定した接触抵抗値を得ることができる。また、同様の理由により、n側電極22とn側コンタクト層13との間の接触抵抗の増大も防止することができる。更に、蒸着法、ECRCVD法あるいはECRスパッタ法により絶縁層18を形成するようにしたので、半導体層の表面に対するダメージが抑制される。従って、この点からも、p側コンタクト層17やn側コンタクト層13のキャリア濃度の低下を抑制することができる。

【0033】また、レジスト膜19の開口19aに付着した残渣20を除去したのちに絶縁層18に開口18aを形成するようにしたので、開口18aを形成する際に、レジストの残渣がエッチング液中を移動してp側コンタクト層17の表面に再付着するおそれがない。従って、p側コンタクト層17の清浄な表面上にp側電極21を形成することができ、p側コンタクト層17とp側電極21との密着性を向上させることができる。その結果、製造工程の途中やパッケージへ実装する際におけるp側電極21の剥離を防止することができる。

【0034】更に、p側電極21およびn側電極22をコンタクト用電極23、24によりそれぞれ覆うようにしたので、p側電極21およびn側電極22の密着性を高めることができる。よって、p側電極19をニッケルまたは白金などの良好なオーミック接触を得ることができる材料により構成することができる。従って、接触抵抗を小さくすることができると共に電極の剥離を防止することができ、素子の品質および信頼性を向上させるこ

とができる。

【0035】また、n側コンタクト層13およびp側コンタクト層17の表面、並びにn側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17の側面にわたって絶縁層18を形成するようにしたので、絶縁層18をn側コンタクト層13およびp側コンタクト層17の表面のみに形成する場合よりも、寄生容量を低減させることができる。従って、高周波特性に優れた半導体レーザが製造される。

【0036】更に、絶縁層18は、pn接合面（すなわち、活性層15の側面）を被覆するように形成されているので、パッケージに実装する際の半田の這い上がりなどが生じた場合においても、電気的短絡が発生することがなく、信頼性の高い実装条件を得ることができる。

【0037】また、レジスト膜19をマスクとして、p側電極21を自己整合的に形成することができるので、製造工程の短縮化を図ることができる。

【0038】（第2の実施の形態）本実施の形態は、利得導波型と屈折率導波型を組み合わせたリッジ導波型半導体レーザの製造方法に関するものである。以下、図1ないし図7および図9ないし図16を参照して説明する。

【0039】本実施の形態では、まず、第1の実施の形態の図1～図7に示した工程と同様に、図9に示したように、基板10上の半導体層の上に、絶縁膜18の開口18aを介してストライプ状のp側電極21'を形成する。本実施の形態では、後述するように、p側電極21'をエッチングマスクとして利用するために、p側電極21'がエッチングされることを抑制し、電極の特性に影響を与えないようにする必要がある。従って、p側電極21'の最表面は、III族ナイトライド化合物半導体とのエッチング選択比が金よりも大きいニッケルあるいは白金よりなることが好ましい。なお、このようなp側電極21'の構造の例としては、白金、金およびニッケル、あるいはニッケル、白金、金およびニッケルをp側コンタクト層17側から順次積層したものが挙げられる。

【0040】次に、例えばフッ酸系のエッチング液を用いて、絶縁膜18をエッチング除去したのち、図10に示したように、p側電極21'をマスクとして、例えば反応ガスに塩素ガス(Cl_2) G_1 を用いたRIE (Reactive Ion Etching) 法によりp側コンタクト層17およびp型クラッド層16の一部を選択的にエッチングして、自己整合的にp型クラッド層16を表面に露出させると共に、p型クラッド層16の上部、p側コンタクト層17およびp側電極21'よりなるリッジ部Rを形成する。

【0041】次に、図11に示したように、露出面全体（すなわちn側コンタクト層13、p型クラッド層16

およびp側電極21'の表面、並びにリッジ部Rの側面）に、例えば、蒸着法により二酸化ケイ素（屈折率1.46）よりなる絶縁層31を形成する。

【0042】次に、図12に示したように、絶縁層31の全面に、例えばスピコート法によりレジスト膜32を形成する。レジスト膜32の厚さに関しては、p側電極21'の上面の厚さが、その他の領域の厚さよりも薄くなるように形成する。具体的には、例えば、リッジ部Rと絶縁層31との高さ（厚さ）の合計が $1\mu\text{m}$ である場合には、p側電極21'の上面において厚さが例えば $0.5\sim 0.8\mu\text{m}$ となるように形成する。

【0043】次に、図13に示したように、例えば反応ガスに酸素ガス(O_2) G_2 を用いたRIEを行って、レジスト膜32のリッジ部Rに対応する領域を選択的に除去し、絶縁層31を表面に露出させる。ここでは、既に述べたように、p側電極21'の上面のレジスト膜32の厚さがその他の領域よりのレジスト膜32の厚さよりも薄いので、リッジ部Rに対応する領域の上側部分のレジスト膜32のみを除去することができる。

【0044】次に、図14に示したように、例えば反応ガスに四フッ化炭素ガス(CF_4) G_3 を用いたRIEを行って、絶縁層31の露出面を選択的に除去し、p側電極21'を表面に露出させる。次に、図15に示したように、例えば反応ガスに酸素ガス G_2 を用いたRIEを行って、レジスト膜32を除去する。これにより、p側電極21'の表面以外の領域が絶縁層31によって覆われた状態となる。

【0045】次に、図16に示したように、例えば第1の実施の形態と同様の方法により、n側電極22およびコンタクト用電極23、24をそれぞれ形成したのち、基板10をp側電極21の長さ方向と垂直に所定の幅で劈開し、その劈開面を反射鏡として、リッジ導波型半導体レーザを完成させる。

【0046】このようにして製造されたリッジ導波型半導体レーザは、第1の実施の形態の利得導波型半導体レーザと同様に動作する。リッジ導波型半導体レーザでは、リッジ部Rが、それよりも屈折率が高い材料よりなる層（ここでは、絶縁層18）により覆われているので、光を効率的に閉じ込めることができる。なお、リッジ部Rでは、p側電極21'の屈折率が例えば1.64、p側コンタクト層17の屈折率が例えば2.53、p型クラッド層16の屈折率が例えば2.49である。

【0047】このように本実施の形態では、p側電極21'をマスクとして、p側コンタクト層17およびp型クラッド層16を自己整合的にリッジ形状とするようにしたので、リッジ導波型半導体レーザの製造工程の短縮化を図ることができる。

【0048】更に、リッジ部Rの側面を、リッジ部Rの構成材料よりも屈折率が小さい材料よりなる絶縁層31により覆うようにしたので、活性層15の幅方向に屈折

率差を付与することができると共に、p側コンタクト層17とp側電極21'との電氣的導通幅を、p側電極21'の幅と同一にすることができる。従って、光の閉じ込め効果をより大きくすることができる。

【0049】(第3の実施の形態)本実施の形態は、導電性材料よりなる基板を用いたリッジ導波型半導体レーザの製造方法に関するものである。

【0050】本実施の形態では、まず、例えばGa_{0.5}N_{0.5}あるいはSiC(炭化ケイ素)よりなる導電性基板40(図17参照)を用意し、この導電性基板40上に、例えば第1または第2の実施の形態の図1~図7および図9~図15に示した工程と同様にして、リッジ部Rを有する半導体層およびp側電極21'を形成する。

【0051】次に、図17に示したように、p側電極21'およびその周囲の絶縁層31の上に、例えば、チタンおよび金を選択的に順次蒸着してコンタクト用電極23を形成する。続いて、導電性基板40の裏面側に、n側電極22およびコンタクト用電極24を順次形成する。最後に、導電性基板40をp側電極21'の長さ方向と垂直に所定の幅で劈開する。なお、n側電極22は、全面一様の電極であってもよいし、半導体レーザのバーやチップの位置を指定するためのパターンを有する電極であってもよい。

【0052】(第4の実施の形態)本実施の形態に係るリッジ導波型半導体レーザの製造方法では、図18に示したように、まず、第1の実施の形態の図1に示した工程と同様にして、基板10上に半導体層を成長させる。次に、p側コンタクト層17およびp型クラッド層16の一部を選択的にエッチングして、これらをリッジ形状とすると共に、p型クラッド層16を表面に露出させる。

【0053】次に、例えばMOCVD法により、p型クラッド層16の露出面上に、p側コンタクト層17およびp型クラッド層16のリッジ部を囲むように、p型クラッド層16およびp側コンタクト層17よりも屈折率の小さいIII族ナイトライド化合物半導体(例えばGaInN, AlGa_{0.5}N_{0.5})よりなる再成長層51を形成する。再成長層51は、その表面とp側コンタクト層17の表面とがほぼ平坦になるとなるように形成する。

【0054】この再成長層51は、例えば以下に述べる2種類のプロセスのいずれかをを経て形成することができる。一つは、p型クラッド層16の露出面以外の領域に二酸化ケイ素や四窒化三ケイ素などよりなる絶縁層を形成し、p型クラッド層16の露出面に選択的にGaInNなどを再成長させる方法(選択成長技術)である。この方法によれば、成長させる結晶の種類や成長条件に制限はあるものの、再成長した時点で所望の形状の再成長層51が得られる。他の一つは、全面にGaInNなどを再成長させたのち、不要な部分を除去する方法である。この方法によれば、成長させる結晶の種類や成長条

件については比較的自由度が高いものの、p型コンタクト層17を表面に露出させるプロセスが必要である。

【0055】以下、第1の実施の形態の図1~図8に示した工程と同様にして、絶縁層18、p側電極21、n側電極22およびコンタクト用電極23、24をそれぞれ形成する。

【0056】なお、図示はしないが、再成長層51を形成したのち、p側コンタクト層17および再成長層51上に、再度p側コンタクト層を成長させると共に、p側コンタクト層とp側電極との接触面積を大きくして、接触抵抗を低減させるようにしてもよい。

【0057】このように本実施の形態によれば、p側コンタクト層17とはほぼ平坦になるようにその側面に再成長層51を形成したのちに、p側電極21およびコンタクト用電極23を形成するようにしたので、第2および第3の実施の形態のリッジ導波型半導体レーザよりも表面を平坦にすることができる。従って、パッケージに実装する際の熱抵抗特性や、半田材料などの密着性を改善することができ、実装の信頼性を向上させることができる。

【0058】(第5の実施の形態)本発明の第5の実施の形態は、発光ダイオードの製造方法に関するものである。本実施の形態では、図19に示したように、p側電極21およびコンタクト電極23を、それらの厚さの合計が5~15nm程度となるようにそれぞれ薄く形成すると共に、p側電極21とp側コンタクト層17との接触面積が大きくなるように形成することと、基板10を劈開しないことを除き、他は第1の実施の形態と同様にして製造することができる。この発光ダイオードでは、p側電極21およびコンタクト電極23が薄く形成されているので、図19において矢印で示したように、基板10の上方(すなわちp側電極21側)から光を取り出すことができる。なお、基板10が発光波長を透過させるものであれば、勿論、基板10の裏面側から光を取り出す構造とすることもできる。

【0059】(第6の実施の形態)本実施の形態は、電界効果トランジスタ(FET; Field Effect Transistor)の製造方法に関するものである。

【0060】本実施の形態では、まず、図20に示したように、例えばサファイアよりなる基板60を用意し、この基板60上に、例えば、MOCVD法により550℃で非晶質に近い結晶構造を有するGa_{0.5}N_{0.5}あるいはAlGa_{0.5}N_{0.5}混晶よりなるバッファ層61を30nm成長させたのち、例えば、1000℃でn型不純物としてケイ素を添加したn型Ga_{0.5}N_{0.5}よりなるチャネル層62を成長させる。更に、連続的に、Al_{1-x}Ga_xN_{1-x}(x<1)よりなるゲート絶縁膜63を成長させる。なお、二酸化ケイ素などの他の絶縁材料によりゲート絶縁膜63を形成するようにしてもよい。ここで、バッファ層61およびチャネル

層62が、本発明の「半導体層」の一具体例に対応している。

【0061】次に、ゲート絶縁膜63の後述するゲート電極66（図21参照）に対応する領域以外の部分を、例えば水酸化カリウム（KOH）水溶液などのアルカリ性溶液を用いて除去する。続いて、露出面全体（すなわち、チャンネル層62の表面、並びにゲート絶縁膜63の表面および側面）に、例えば蒸着法、ECRCVD法あるいはECRスパッタ法により、耐エッチング性を有する絶縁材料、例えば二酸化ケイ素あるいは四酸化三ケイ素よりなる絶縁層64を形成する。この絶縁層64が、本発明の「保護層」の一具体例に対応している。

【0062】次に、絶縁層64の全面に、例えばスピコート法によりレジスト膜65を形成する。ここで、レジスト膜65が、本発明の「マスク層」の一具体例に対応している。続いて、第1の実施の形態の図3～図5に示した工程と同様にして、レジスト膜65に後述するゲート電極66、ソース電極67およびドレイン電極68（図21参照）のパターンに応じた開口65a、65b、65cをそれぞれ形成し、これらの開口65a、65b、65cの内部に付着した残渣（図示せず）を除去したのち、絶縁層64に、開口65a、65b、65cに対応した開口64a、64b、64cをそれぞれ形成する。

【0063】次に、全面に、例えば、蒸着法によりチタン（Ti）と白金（Pt）と金（Au）とをチャンネル層62側から順次積層して金属層を形成したのち、図21に示したように、レジスト膜65を除去する。このとき、同時にレジスト膜65と接している金属層が選択的に除去され、金属層の残存部分は、ゲート電極66、ソース電極67およびドレイン電極68となる。

【0064】このようにして製造された電界効果トランジスタでは、ゲート電極66に電圧を加えるとチャンネル層62を介してソース電極67とドレイン電極68との間に流れるドレイン電流が変化する。ここでは、製造時にソース電極67およびドレイン電極68に接触するチャンネル層62の表面に対するダメージを抑制することができ、ソース電極67およびドレイン電極68とチャンネル層62とはそれぞれ良好にオーミック接触しており、安定な接触抵抗値を得ることができる。

【0065】このように本実施の形態では、第1の実施の形態と同様の理由により、ソース電極67およびドレイン電極68とチャンネル層62との間の接触抵抗を小さくできると共に、ソース電極67およびドレイン電極68の密着性を向上させることができ、素子の品質および信頼性を向上させることができる。また、ゲート絶縁膜63の清浄な表面の上にゲート電極66を形成することができるので、良好な特性を確保することができる。

【0066】以上、実施の形態を挙げて本発明を説明し

たが、本発明は上記各実施の形態に限定されるものではなく、種々変形可能である。例えば、上記実施の形態では、残渣20を除去する際に、絶縁層18により半導体層の表面および側面を保護するようにしたが、表面のみを保護するようにしてもよい。しかしながら、寄生容量の低減化を図ることを考慮すると、半導体層の側面にも絶縁層18を形成することが好ましい。また、アルミニウムやチタンなどのように、例えば蒸着法により半導体層の表面にダメージを与えることなく成膜することができ、かつレジスト膜18や半導体層に対して選択的にエッチングすることが可能である金属材料からなる金属層により保護するようにしてもよい、但し、その場合には、素子として金属層を有していると電氣的短絡が発生してしまうので、p型電極21形成後、あるいはn側電極22形成後に金属層を除去する必要がある。更に、絶縁材料と金属材料とを組み合わせることで保護層を形成するようにしてもよい。

【0067】また、上記実施の形態では、半導体層をIII族ナイトライド化合物半導体により構成する場合について説明したが、本発明は、他の半導体により半導体層が構成される半導体素子を製造する場合についても適用することができる。

【0068】また、上記第2および第3の実施の形態では、p側電極21'をマスクとして、p側コンタクト層17およびp型クラッド層を自己整合的にリッジ形状とする場合について説明したが、p側コンタクト層17およびp型クラッド層をリッジ形状とした後にp側電極21'を形成するようにしてもよい。その場合には、リッジ部の高さやp側電極21'のストライプ幅の設計に依らずに、p側電極21'を形成できるという利点を有する。また、表面が必ずしも平坦である必要がないので、プロセス順序の選択の幅が広がる。例えば、n側電極22を形成した後にp側電極21'を形成することも可能であり、その場合には、熱処理条件などを考慮してプロセス順序を決定することができる。

【0069】また、上記実施の形態では、半導体素子として半導体レーザ、発光ダイオードおよび電界効果トランジスタを例に挙げて説明したが、本発明は、バイポーラトランジスタのエミッタ電極、ベース電極およびコレクタ電極を形成する場合や、フォトダイオードの電極を形成する場合などの他の半導体素子の製造時においても広く適用することができる。更に、これらの素子などが集積された集積素子の製造に応用することも可能である。

【0070】また、上記実施の形態では、p側電極21、21'をストライプ形状とするようにしたが、n側電極22をストライプ形状として、対応するn型の層とp型の層とを逆に配置するようにしてもよい。

【0071】更に、上記実施の形態では、残渣20を酸素を用いたアッシング処理によって除去するようにした

が、アルカリ性のエッチング液などを用いたウェットエッチングによって除去するようにしてもよい。但し、この場合には、表面にダメージを与えないという利点を有するものの、レジスト膜19がアルカリ性のエッチング液によって除去され易いためにレジスト膜19との選択性に限界があること、表面の凹凸が大きい場合には凹部の処理を行い難いなどの制限がある。

【0072】

【発明の効果】以上説明したように請求項1ないし請求項11のいずれか1項に記載の半導体素子の製造方法によれば、保護層により半導体層を保護しつつ、マスク層の開口に付着している残渣を除去し、マスク層を用いて絶縁層に開口を形成し、引き続き電極を形成するようにしたので、残渣を除去する際に半導体層の表面に対するダメージを抑制することができ、また、半導体層の清浄な露出面上に自己整合的に電極を形成することができる。よって、簡易なプロセスにより半導体層と電極との密着性を向上させることができ、かつこれらの間の接触抵抗の低減化を図ることができるという効果を奏する。

【0073】特に、請求項6に記載の半導体素子の製造方法によれば、半導体層の上面および側面を覆うように保護層を形成するため、保護層を半導体層の上面のみに形成する場合よりも、寄生容量を低減させることができる。従って、高周波特性に優れた半導体素子を製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る利得導波型半導体レーザの一製造工程を説明するための断面図である。

【図2】図1に続く製造工程を説明するための断面図である。

【図3】図2に続く製造工程を説明するための断面図である。

【図4】図3に続く製造工程を説明するための断面図である。

【図5】図4に続く製造工程を説明するための断面図である。

【図6】図5に続く製造工程を説明するための断面図である。

【図7】図6に続く製造工程を説明するための断面図である。

【図8】図7に続く製造工程を説明するための断面図で

ある。

【図9】本発明の第2の実施の形態に係るリッジ導波型半導体レーザの一製造工程を説明するための断面図である。

【図10】図9に続く製造工程を説明するための断面図である。

【図11】図10に続く製造工程を説明するための断面図である。

【図12】図11に続く製造工程を説明するための断面図である。

【図13】図12に続く製造工程を説明するための断面図である。

【図14】図13に続く製造工程を説明するための断面図である。

【図15】図14に続く製造工程を説明するための断面図である。

【図16】図15に続く製造工程を説明するための断面図である。

【図17】本発明の第3の実施の形態に係るリッジ導波型半導体レーザの一製造工程を説明するための断面図である。

【図18】本発明の第4の実施の形態に係るリッジ導波型半導体レーザの一製造工程を説明するための断面図である。

【図19】本発明の第5の実施の形態に係る発光ダイオードの製造方法を説明するための断面図である。

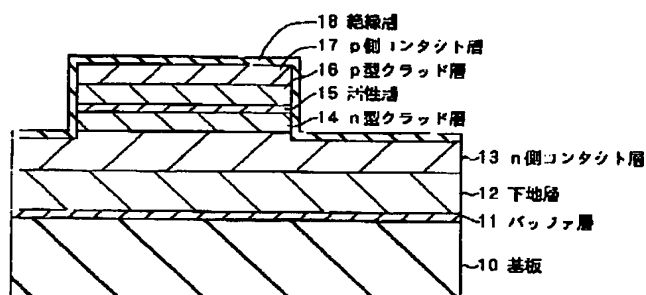
【図20】本発明の第6の実施の形態に係る電界効果トランジスタの一製造工程を説明するための断面図である。

【図21】図20に続く製造工程を説明するための断面図である。

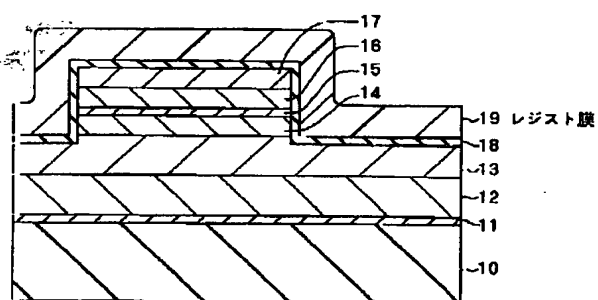
【符号の説明】

10, 60…基板、11, 61…バッファ層、12…下地層、13…n側コンタクト層、14…n型クラッド層、15…活性層、16…p型クラッド層、17…p側コンタクト層、18, 31, 64…絶縁層、18a, 18b, 19a…開口、19, 65…レジスト膜、20…残渣、21, 21'…p側電極、21a…金属層、22…n側電極、23, 24…コンタクト用電極、30…導電性基板、51…再成長層、62…チャネル層、63…ゲート絶縁膜、66…ゲート電極、67…ソース電極、68…ドレイン電極

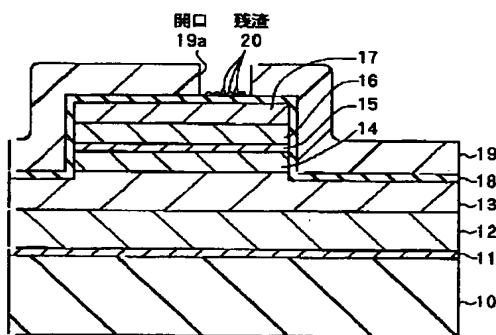
【図1】



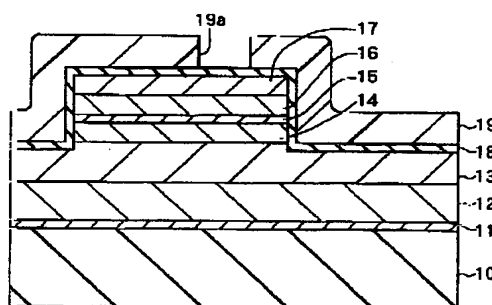
【図2】



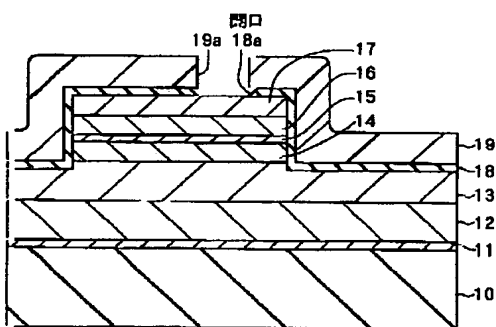
【図3】



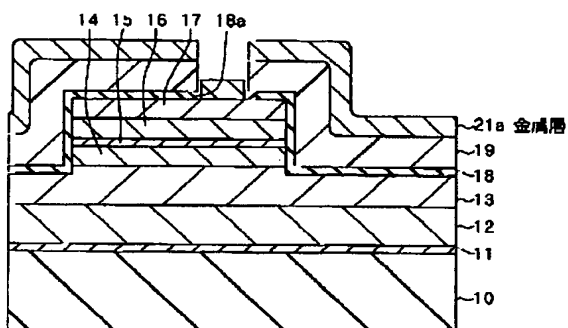
【図4】



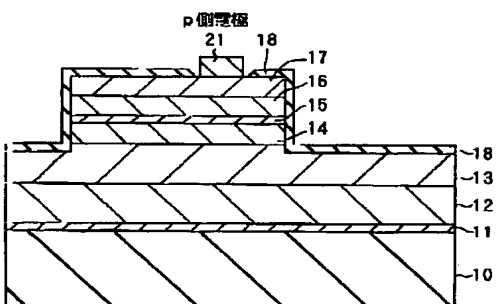
【図5】



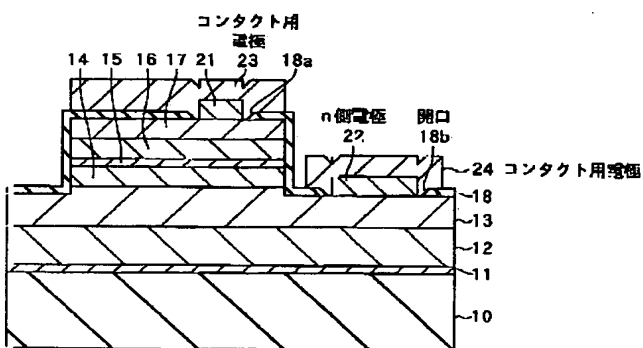
【図6】



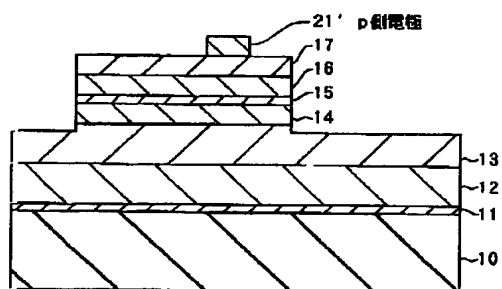
【図7】



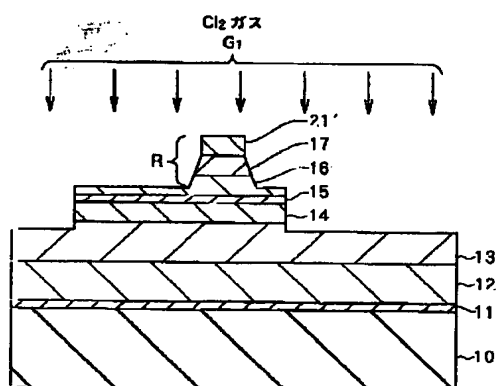
【図8】



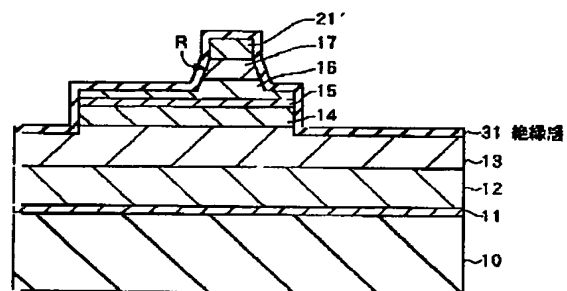
【図9】



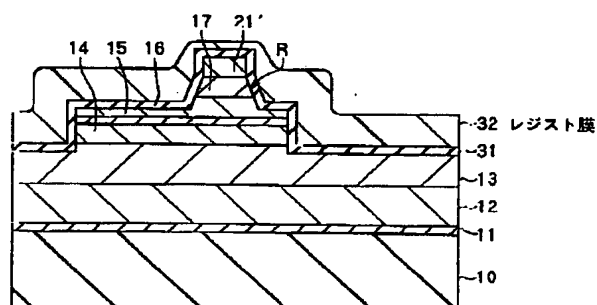
【図10】



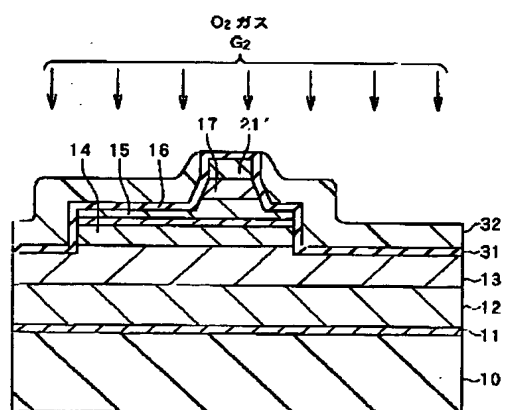
【図11】



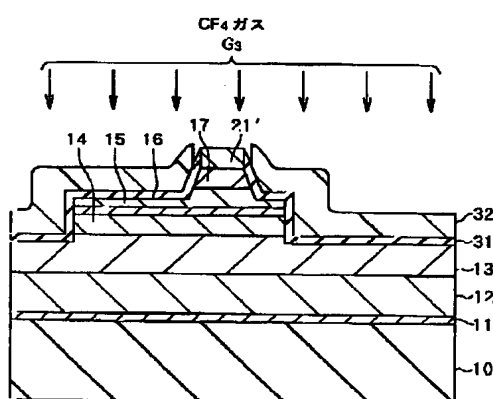
【図12】



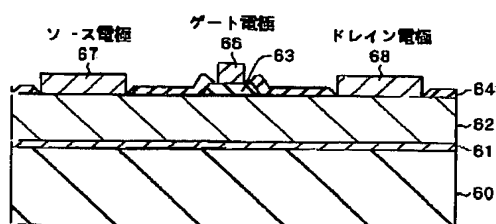
【図13】



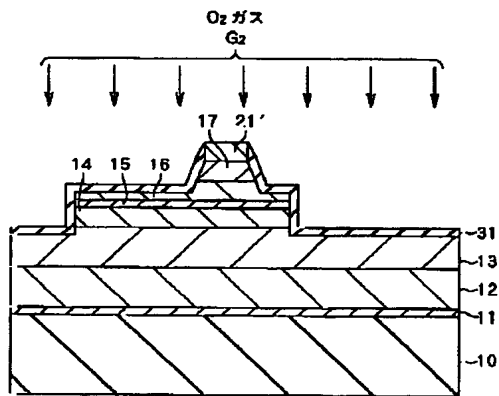
【図14】



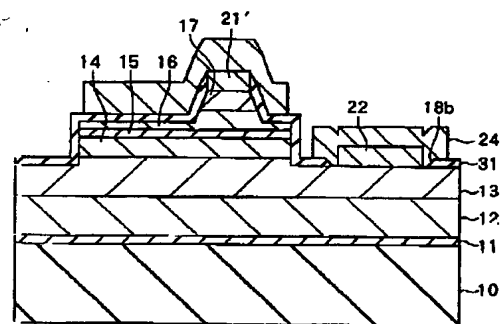
【図21】



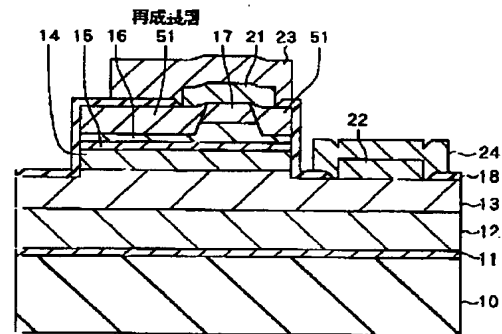
【図15】



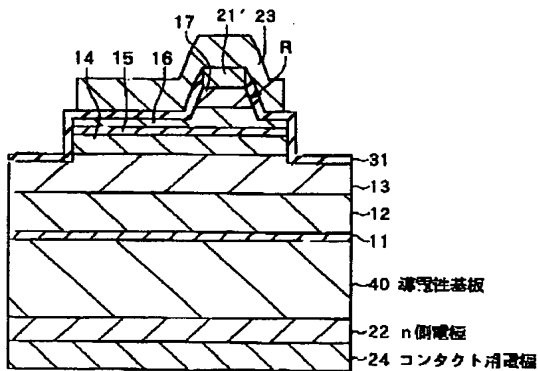
【図16】



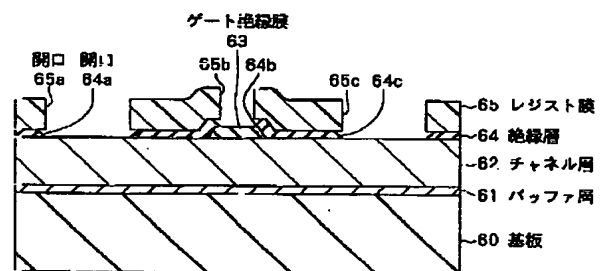
【図18】



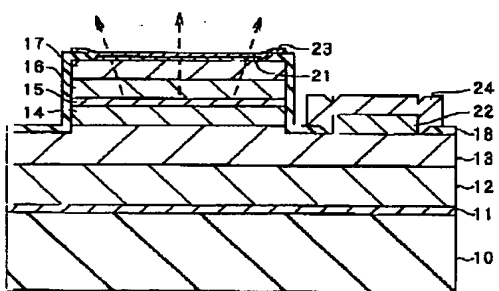
【図17】



【図20】



【図19】



フロントページの続き

(51)Int. Cl.⁷

識別記号

H01L 21/336
33/00

H01S 5/042

FI

H01L 21/302
29/78

H01S 3/18

(参考)

H 5F073
301B
301P
624

F ターム(参考) 4M104 AA04 BB05 BB06 BB14 CC01
DD09 DD16 DD17 DD22 DD34
DD68 DD78 EE01 EE14 EE17
FF40 GG04 GG06 GG08 HH08
HH15

5F004 AA02 AA06 AA09 AA16 BB13
BD01 DA01 DA04 DA26 DB03
DB07 EA01

5F040 DA10 DC03 EC08 ED03 EH02
FA12

5F041 AA21 AA43 CA40 CA57 CA74
CA82 CA98 FF01 FF16

5F045 AA04 AA10 AA18 AA19 AB14
AB17 AB32 AB33 AC01 AC08
AC09 AC12 AC19 AD09 AD14
AF09 BB17 CA12 CB04 DA53
DA55 HA13 HA14

5F073 CA02 CA07 CB22 DA30 EA29